

EXPRESS MAIL NO.
EV336599142US

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

USAN: 10/044,307

Atty. Docket No.
859063.502

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 10 AVR. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle-Livre VI



REQUÊTE EN DÉLIVRANCE 1/2

Réservé à L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE 27 OCT 2000 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0013854 DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 27 OCT. 2000		NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Vos références pour ce dossier (facultatif) B4551			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie <input type="checkbox"/>			
NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° Date / /	
Transformation d'une demande de brevet européen		<input type="checkbox"/> N° Date / /	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) LIGNES DE BIT DE MÉMOIRE DRAM			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation FR Date Pays ou organisation Date / / Pays ou organisation Date / / <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	7, Avenue Galliéni	
	Code postal et ville	94250	GENTILLY
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à L'INPI

REMISE DES PIÈCES

DATE **27 OCT 2000**
LIEU **38 INPI GRENOBLE**

N° D'ENREGISTREMENT
NATIONAL ATTRIBUÉ PAR L'INPI **0013854**

Vos références pour ce dossier

(facultatif) **B4551**

6 MANDATAIRE

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000 GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui

☒ Non Dans ce cas fournir une désignation d'inventeur (s) séparée

8 RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat
ou établissement différé

☒

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui

☒ Non

RÉDUCTION DU TAUX DES
REDEVANCES

Uniquement pour les personnes physiques

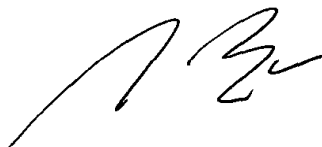
☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)

☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :

Si vous avez utilisé l'imprimé "Suite", indiquez le
nombre de pages jointes

10 SIGNATURE DU DEMANDEUR
OU DU MANDATAIRE
(Nom et qualité du signataire)

Michel de Beaumont
Mandataire n° 92-1016

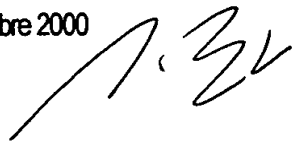


VISA DE LA PREFECTURE
OU DE L'INPI



DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 1
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4551	
N° D'ENREGISTREMENT NATIONAL		00 13854.	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
LIGNES DE BIT DE MÉMOIRE DRAM			
LE(S) DEMANDEUR(S) STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Jérôme Ciavatti	
ADRESSE	Rue	11, Rue Antoine Polotti	
	Code postal et ville	38400	ST MARTIN D'HERES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Michel de Beaumont Mandataire n° 92-1016 Le 27 octobre 2000 			

LIGNES DE BIT DE MÉMOIRE DRAM

La présente invention concerne de façon générale la fabrication de dispositifs de mémoire dynamique à accès aléatoire (DRAM). Plus particulièrement, la présente invention concerne la réalisation de structures de lignes de bit dans de telles mémoires.

La figure 1 illustre partiellement et schématiquement en vue de dessus, et les figures 2A, 2B, 2C en vue en coupe selon les axes respectifs A-A', B-B' et C-C', la structure d'une cellule élémentaire 1 d'une mémoire DRAM du type à ligne de bit repliée (folded bit lines) en cours de fabrication dans un substrat semiconducteur 2, typiquement en silicium monocristallin. Une mémoire comporte une pluralité de telles cellules élémentaires identiques 1 agencées en rangées et colonnes. Chaque cellule élémentaire 1 est formée dans une région active 3, généralement de forme rectangulaire, délimitée dans le substrat 2 par des tranchées d'isolement 4. Les tranchées d'isolement 4 sont obtenues en creusant le substrat 2 puis en remplissant les évidements formés par un matériau isolant, généralement de l'oxyde de silicium (SiO_2). A la figure 1, la limite entre la région active 3 et les tranchées d'isolement 4 est illustrée par des traits mixtes.

Quatre lignes conductrices WL1, WL2, WL3 et WL4 traversent la cellule. Chacune de ces lignes, qui sont les lignes de mot du dispositif mémoire global, sont isolées des régions actives 3 sous-jacentes par une couche isolante 7, typiquement en oxyde de silicium. Leurs parois latérales sont classiquement munies d'espaceurs 8. Deux lignes de mot "actives" WL2 et WL3 traversent la cellule dans sa région active 3. Ces lignes de mot actives WL2 et WL3 sont communes à toutes les cellules d'une même rangée. Les deux autres lignes de mot WL1 et WL4 passent de part et d'autre de la région active 3, c'est-à-dire sur des tranchées d'isolement 4. Chacune des lignes de mot WL1 et WL4 est une des deux lignes de mot actives de deux rangées différentes de cellules élémentaires, ces deux rangées (non-représentées) étant distinctes de celle contenant la cellule élémentaire 1.

Après formation des lignes de mot WL1, WL2, WL3 et WL4, on a formé, à la surface de la région active 3, par implantation/diffusion, des régions 9 et 10 fortement dopées de type de conductivité opposé à celui du substrat 2.

Les lignes de mot actives WL2, WL3 constituent alors les grilles de deux transistors MOS de même type, dont les régions de drain/source 9 sont communes et dont les régions de source/drain 10 sont distinctes, chacune formée dans la région active 3 entre l'espaceur 8 de la ligne de mot correspondante et la tranchée d'isolement 4 voisine.

L'ensemble du substrat 2 (région active 3 et tranchées 4) et des lignes WL1, WL2, WL3 et WL4 est recouvert d'une couche isolante épaisse 11, typiquement en oxyde de silicium. La surface supérieure de la couche 11 est sensiblement plane. La couche 11 a été ouverte localement de façon à découvrir au moins partiellement les trois régions semiconductrices 9 et 10. Des contacts 5 et 6 avec respectivement la région de drain/source 9 et chacune des régions de source/drain 10 résultent du remplissage des ouvertures ainsi formées à l'aide d'un matériau conducteur, typiquement métallique, généralement du tungstène.

Une ligne de bit BL, commune aux cellules d'une même colonne, passe sur la couche 11 à l'aplomb d'une tranchée d'isolement 4 séparant deux colonnes distinctes de cellules. La ligne de bit BL est encapsulée par une structure isolante 12. La
5 ligne de bit BL est dessinée de façon à contacter la région de drain/source 9 par l'intermédiaire du contact 5.

La ligne de bit BL peut être formée avant ou après deux points-mémoire (condensateurs) non-représentés, également formés sur la couche 11, mais chacun en contact avec une des deux
10 régions de source/drain 10 par l'intermédiaire d'un contact 6.

Qu'elles soient formées après ou avant les lignes de bit BL, les structures des points-mémoire doivent alors tenir compte de la présence ou de la formation ultérieure de celles-ci sur un même niveau (la surface supérieure de la couche 11). Cela
15 conduit à la gestion de contraintes de fabrication, en particulier d'alignement, qui compliquent les procédés.

Plus particulièrement, garantir la cellule contre des possibles couplages capacitifs ou des courts-circuits, provoqués par des désalignements de masques de formation des lignes de bits
20 ou des points-mémoire, limite la densité du dispositif mémoire obtenu.

De plus, la surface plane disponible sur la couche 11 étant limitée, obtenir des dispositifs mémoire à condensateurs d'une capacité suffisante impose d'utiliser des points-mémoire à
25 structure complexe et/ou de limiter la densité des dispositifs.

Un objet de la présente invention est de proposer un nouveau procédé de fabrication de dispositifs de mémoire DRAM qui réduise les contraintes précédentes.

Un autre objet de la présente invention est de proposer
30 un tel procédé qui soit compatible avec la formation de la mémoire DRAM sur un même substrat qu'un circuit logique externe à la mémoire.

Pour atteindre ces objets, la présente invention prévoit un procédé de fabrication d'une cellule mémoire DRAM
35 comportant deux lignes de mot actives dont une région de

drain/source est commune et dont des régions distinctes de source/drain contactent deux points-mémoire, comportant, après la formation de lignes conductrices isolées, les étapes consistant à :

- 5 a) déposer une première couche isolante ;
- b) déposer une deuxième couche isolante gravable sélectivement par rapport à la première couche isolante ;
- c) graver la deuxième couche isolante de façon à ne la maintenir qu'au-dessus des lignes conductrices isolées, au moins
- 10 dans et autour d'une région active ;
- d) déposer et aplanir une troisième couche isolante épaisse gravable sélectivement par rapport à au moins la deuxième couche isolante ;
- e) ouvrir les première et troisième couches isolantes
- 15 de façon à exposer au moins partiellement la région de drain/source commune ainsi qu'une tranchée d'isolement ;
- f) déposer un matériau conducteur de façon à remplir l'ouverture précédemment formée ;
- g) effectuer un polissage mécano-chimique de l'ensemble
- 20 de la structure ; et
- h) déposer une quatrième couche isolante, gravable sélectivement par rapport à la troisième couche isolante.

Selon un mode de réalisation de la présente invention, l'étape e) consistant à ouvrir les première et troisième couches

25 isolantes de façon à exposer au moins partiellement la région de drain/source commune ainsi qu'une tranchée d'isolement est mise en oeuvre de façon à ouvrir les première et troisième couches isolantes de façon à exposer au moins partiellement également des régions de source/drain, le matériau conducteur déposé à l'étape

30 f) étant déposé de façon à remplir toutes les ouvertures ainsi formées.

Selon un mode de réalisation de la présente invention, l'étape e) consistant à ouvrir les première et troisième couches isolantes de façon à exposer au moins partiellement la région de

drain/source commune ainsi qu'une tranchée d'isolement est précédée des étapes suivantes :

5 i) ouvrir les première et troisième couches isolantes de façon à exposer au moins partiellement les régions de source/drain ;

j) déposer un matériau conducteur dans les ouvertures ainsi formées ; et

10 k) effectuer un polissage mécano-chimique de l'ensemble de la structure, d'où il résulte la formation de contacts avec les régions de source/drain.

Selon un mode de réalisation de la présente invention, l'étape k) de polissage mécano-chimique est suivie du dépôt d'une couche isolante supplémentaire sur l'ensemble de la structure, l'étape e) consistant alors à ouvrir successivement la couche
15 isolante supplémentaire et les première et troisième couches isolantes de façon à exposer au moins partiellement la région de drain/source commune ainsi qu'une tranchée d'isolement.

Selon un mode de réalisation de la présente invention, l'étape g) de polissage mécano-chimique de l'ensemble de la
20 structure, ou l'étape h) de dépôt de la quatrième couche isolante, gravable sélectivement par rapport à la troisième couche isolante est suivie des étapes suivantes :

25 l) ouvrir les première et troisième couches isolantes de façon à exposer au moins partiellement les régions de source/drain ;

m) déposer un matériau conducteur dans les ouvertures ainsi formées ; et

30 n) effectuer un polissage mécano-chimique de l'ensemble de la structure, d'où il résulte la formation de contacts avec les régions de source/drain.

Selon un mode de réalisation de la présente invention, l'étape a) de dépôt de la première couche isolante est précédée du dépôt d'une couche isolante supplémentaire gravable sélectivement par rapport au matériau de remplissage de tranchées

d'isolement sous-jacentes et par rapport à la première couche isolante.

Selon un mode de réalisation de la présente invention, les première et troisième couches isolantes sont en oxyde de silicium (SiO_2) et les deuxième et quatrième couches isolantes ainsi que la couche isolante supplémentaire sont en nitrure de silicium (Si_3N_4).

Selon un mode de réalisation de la présente invention, la cellule mémoire est formée dans un même substrat que des circuits logiques.

La présente invention prévoit également une structure de cellule mémoire DRAM comportant deux lignes de mot inactives formées sur des tranchées d'isolement, de part et d'autre d'une région active d'un substrat, et deux lignes de mot actives dont une région de drain/source est commune et dont des régions distinctes de source/drain contactent deux points-mémoire, les quatre lignes de mot, les tranchées d'isolement et le substrat étant recouverts au moins partiellement d'un empilement d'au moins trois couches isolantes, constitué de première et troisième couches déposées sur toute la structure, et d'une deuxième couche éliminée de la région active, sauf à l'aplomb des lignes de mot, et étant en un matériau gravable sélectivement par rapport aux première et troisième couches, et une ligne de bit de la cellule reposant directement sur au moins une partie de sa région de drain/source ainsi que sur une tranchée d'isolement voisine, la ligne de bit et la troisième couche isolante étant recouvertes d'une quatrième couche isolante gravable sélectivement par rapport à la troisième couche.

Selon un mode de réalisation de la présente invention, l'empilement repose sur une couche isolante supplémentaire gravable sélectivement par rapport à la première couche isolante superposée et par rapport au matériau de remplissage des tranchées d'isolement sous-jacentes.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans

la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 illustre schématiquement, en vue de dessus,
5 une cellule élémentaire d'un plan mémoire DRAM à un stade intermédiaire de sa formation ;

les figures 2A, 2B et 2C représentent, en vue en coupe partielle et schématique, la cellule élémentaire de la figure 1 réalisée selon des procédés de l'état de la technique ;

10 les figures 3A, 3B, 3C et 3D représentent, en vue en coupe partielle et schématique, une cellule élémentaire à différentes étapes de sa fabrication selon la présente invention ;

la figure 4 représente, en vue en coupe selon l'axe B-B', la cellule élémentaire de la figure 1 réalisée selon la
15 présente invention ; et

la figure 5 représente, en vue en coupe selon l'axe C-C', la cellule élémentaire de la figure 1 réalisée selon la présente invention.

Par souci de clarté, les mêmes éléments ont été dési-
20 gnés par les mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation des circuits intégrés, les diverses figures ne sont pas tracées à l'échelle.

La présente invention sera illustrée ci-après en relation avec les figures 3A à 3D appliquée à la formation dans un
25 même substrat de circuits logiques de type CMOS et d'une cellule élémentaire d'un dispositif de mémoire DRAM de type à ligne de bit repliée. Plus particulièrement, on a représenté à gauche des figures 3A à 3D le côté logique et à droite le côté mémoire.

On souhaite réaliser une cellule élémentaire dont la
30 structure en vue de dessus est identique à celle illustrée à la figure 1. Les figures 3A à 3D représentent, côté droit, la cellule élémentaire 1 de la figure 1 en vue en coupe selon son axe d'orientation principal, c'est-à-dire la ligne A-A' de la figure 1.

La figure 3A illustre le résultat d'étapes initiales d'un procédé selon l'invention. Côté logique et côté mémoire, on a tout d'abord défini dans un substrat de silicium monocristallin 2 des zones actives 3, par exemple, en formant des tranchées d'isolement 4 remplies d'un matériau isolant, par exemple de l'oxyde de silicium. Ensuite, on a formé et gravé successivement une couche mince isolante 7 et une couche conductrice 13 de façon à définir côtés mémoire et logique, des structures conductrices isolées. Plus particulièrement, côté mémoire, ces structures traversent tout le plan mémoire pour former les lignes de mot de la matrice mémoire. La cellule élémentaire 1 est traversée dans sa partie active par deux lignes de mot WL2 et WL3, et encadrée par deux lignes de mot WL1 et WL4 passant au-dessus des tranchées d'isolement 4.

Côté mémoire et côté logique, les parois latérales des différentes structures conductrices isolées ainsi formées sont recouvertes d'espaceurs isolants 8.

On a effectué ensuite une implantation/diffusion d'un dopant de type de conductivité opposé à celui du substrat 2 de façon à former, côté logique et côté mémoire, dans les zones actives 3, des sources et drains de transistor MOS.

Côté mémoire, les lignes de mot actives WL2 et WL3 constituent les grilles de deux tels transistors et définissent, dans la région active 3 sous-jacente, une région de canal séparant des régions de drain/source 9 et de source/drain 10. Plus particulièrement, les régions de source/drain 10 des deux transistors MOS résultant sont distinctes et formées entre les structures de grille et les tranchées d'isolement 4. Par contre, leur région de drain/source 9 est commune, formée entre les deux lignes WL2 et WL3.

Côté logique, les structures conductrices isolées 7-13-8 constituent également les grilles de transistors MOS et définissent une zone de canal séparant des régions de drain/source 109 et de source/drain 110.

On dépose ensuite successivement trois couches isolantes, 14, 15 et 16. La première couche isolante 14 est en un matériau gravable sélectivement par rapport au substrat 2 et au matériau de remplissage des tranchées d'isolement 4 sous-jacents.

5 La couche 15 est en un matériau isolant gravable sélectivement par rapport à la couche 14 sous-jacente. Enfin, la couche 16 est en un matériau isolant gravable sélectivement par rapport à la couche isolante 15 sous-jacente. La nature de la couche 16 sera précisée ci-après, en relation avec la figure 3B.

10 Aux étapes suivantes, illustrées à la figure 3B, la couche isolante 16 est éliminée côté logique. Côté mémoire, la couche isolante 16 est gravée de façon à être maintenue et à déborder légèrement des lignes de mot WL1, WL2, WL3 et WL4. Cette opération de gravure est suivie du dépôt d'une couche isolante
15 épaisse 11. La couche 11 est en un matériau gravable sélectivement par rapport au matériau isolant des portions restantes de la couche 16. Conformément à des procédés CMOS standards mis en oeuvre côté logique, il est préférable que la couche isolante épaisse 11 soit en oxyde de silicium. La couche isolante 16 sera
20 alors en un matériau isolant autre que l'oxyde de silicium. Elle pourra toutefois être de même nature que la couche 14, par exemple du nitrure de silicium (Si_3N_4). La couche 15 pourra par contre être de même nature que la couche 11.

Aux étapes suivantes, illustrées à la figure 3C, on
25 forme dans la couche 11 des ouvertures. Côté logique, ces ouvertures sont réalisées de façon à découvrir soit des régions semi-conductrices du substrat 2, par exemple des régions de source/drain 110 et/ou de drain/source 109 des transistors logiques, soit les lignes conductrices 13 formant l'électrode de
30 grille des transistors logiques, soit encore de façon à découvrir simultanément certaines de ces régions. Côté mémoire, on découvre au moins partiellement la région commune de drain/source 9 entre les lignes de mot actives WL2, WL3.

Pour ce faire, comme l'illustre la figure 3C, on grave
35 successivement, côté mémoire et côté logique, les couches 11, 15

et 14. En supposant que les couches 11 et 15 sont de même nature, elles sont gravées simultanément. En cas de désalignement du masque lors de la gravure de ces deux couches isolantes 11 et 15, côté mémoire, les portions de la couche 16 au-dessus des lignes de mot demeurent intactes, comme cela est illustré en pointillés au-dessus de la ligne WL2. En effet, les couches 11 et 15 d'une part et la couche 16 d'autre part sont en des matériaux gravables sélectivement l'un par rapport à l'autre.

Selon un mode de réalisation, côté mémoire, les couches 11, 15 et 14 sont tout d'abord ouvertes de façon à découvrir les régions de source/drain 10. Les ouvertures ainsi formées sont ensuite remplies d'un matériau conducteur de façon à former des contacts 6. Les structures conductrices de lignes de mot voisines WL1, WL2, WL3 et WL4 sont alors protégées, comme cela sera détaillé plus en détail ci-après, à l'encontre d'un éventuel désalignement du masque d'ouverture de la couche 11 par les portions restantes de la couche isolante 16.

On grave ensuite, côté mémoire et côté logique, les couches 11 et 15 au-dessus des régions de drain/source 9, et on attaque la couche isolante de nature différente 14. A ce stade du procédé, côté mémoire, les parties éventuellement découvertes de la couche 16 de même nature peuvent être attaquées, mais la gravure s'arrêtera alors au niveau de la couche 15 de nature différente.

On dépose et on grave ensuite un matériau conducteur 18. De préférence, le matériau conducteur 18 est métallique, par exemple du tungstène. Le matériau 18 est ensuite gravé de façon à être éliminé des surfaces planes horizontales supérieures de la couche isolante épaisse 11. Cette élimination peut avantageusement être effectuée par un procédé de polissage mécano-chimique (CMP).

Côté mémoire, la gravure des couches isolantes 11, 16, 15 et 14, a été effectuée de façon que l'ouverture ainsi formée s'étende, comme l'illustre mieux la figure 5, au-dessus de la région active 3 et d'une tranchée d'isolement 4 séparant deux

colonnes de cellules. Cette extension est formée dans le plan perpendiculaire de façon à être continue dans tout le plan mémoire, comme l'illustrera mieux la figure 4. Ainsi, lors du dépôt du matériau conducteur 18, une ligne de bit BL est formée dans cette extension. La ligne de bit BL est alors mise directement en contact avec la région 9, entre deux colonnes de cellules mémoire.

Côté logique, on notera que le matériau 18 permet de ramener à un niveau supérieur un contact avec une région semiconductrice 109 sous-jacente, et/ou de mettre en contact électrique différentes parties du circuit logique, telles que, par exemple, la région de source/drain 110 et la grille 13 d'un transistor logique.

Aux étapes suivantes, illustrées à la figure 3D, on dépose sur la surface plane de la couche 11 et des ouvertures remplies par le matériau 18 une couche isolante 19. La couche isolante 19 est en un matériau gravable sélectivement par rapport à la couche isolante 11 sous-jacente ainsi que par rapport au matériau conducteur 18. On notera que la couche 19 est déposée de façon à maintenir la structure plane.

La couche 19 est gravée de façon à la supprimer côté mémoire à l'aplomb des contacts 6 formés avec les régions semiconductrices de source/drain 10. Côté logique, la couche 19 peut être complètement éliminée, comme cela est illustré, ou seulement aux emplacements où devront ultérieurement être formés des contacts. Elle peut également être maintenue en place afin de servir de couche d'arrêt de gravure et/ou de revêtement protecteur en cas d'un désalignement d'un masque lors d'une gravure ultérieure.

Ensuite, le procédé se poursuit de la façon à former des points-mémoire (condensateurs) en contact avec les régions semiconductrices 10 sous-jacentes par l'intermédiaire des contacts 6.

A ce stade du procédé, on est avantageusement affranchi des problèmes liés à la formation ultérieure/précédente de lignes

de bit au-dessus de la couche isolante épaisse 11. Cela permet d'accroître la densité du dispositif mémoire formé, tout en étant compatible avec des séquences de procédés CMOS standards. De plus, la surface de la couche 19 sur laquelle sont formés les points-mémoire (condensateurs) étant plane, non déformée par des structures de lignes de bits saillantes, la réalisation de ces points-mémoire sera simplifiée.

Les figures 4 et 5 illustrent, vue en coupe respectivement selon les lignes B-B' et C-C' de la figure 1, l'état de la cellule élémentaire 1 de la figure 1, réalisée selon la présente invention. Plus particulièrement, la cellule élémentaire 1 est au stade de fabrication de la figure 3D.

La figure 4 illustre une partie du substrat 2 dont la surface est entièrement constituée d'une tranchée d'isolement 4 séparant deux colonnes de cellules mémoire. Sur la tranchée 4 passent les quatre lignes de mot WL1, WL2, WL3 et WL4. L'ensemble ainsi formé est recouvert des couches isolantes 14 et 15. La couche isolante 15 est recouverte, à l'aplomb des lignes de mot WL1, WL2, WL3 et WL4 de portions restantes de la couche 16. Le tout est recouvert du matériau conducteur 18 et de la couche isolante 19. La ligne de bit BL résultante croise donc les différentes lignes de mot WL1, WL2, WL3 et WL4 sans les atteindre. En outre, la ligne de bit BL est protégée des structures de points-mémoire formées ultérieurement par la couche isolante superposée 19.

La figure 5 illustre, la largeur de la cellule 1. La région active 3, dont la surface est constituée de la seule région de drain/source 9 commune aux deux lignes de mot actives de la cellule 1, est définie dans le substrat 2 par des tranchées d'isolement 4. Un empilement de couches isolantes 14, 15, 16 et 11 est coupé par une colonne conductrice 18 en contact au moins partiellement avec la région 9 et s'étendant latéralement au-dessus d'une tranchée d'isolement 4. Cette colonne conductrice 18 constitue la ligne de bit BL interconnectant les régions de drain/source 9 de toutes les cellules d'une même colonne.

Selon un mode de réalisation particulier de la présente invention, la nature et les épaisseurs des différentes couches sont les suivantes :

- isolant de grille 7 : oxyde de silicium, de 1 à 10 nm, par exemple de 3 nm ;
- conducteur de grille 13 : silicium polycristallin ;
- espaceurs 8 : nitrure de silicium ;
- couche isolante 14 : nitrure de silicium, de 10 à 300 nm, par exemple de 80 nm ;
- couche isolante 15 : oxyde de silicium, de 10 à 300 nm, par exemple de 80 nm ;
- couche isolante 16 : nitrure de silicium, de 10 à 300 nm, par exemple de 80 nm ;
- couche isolante 11 : oxyde de silicium, de 100 à 800 nm, par exemple de 500 nm ; et
- couche isolante 19 : nitrure de silicium, de 10 à 300 nm, par exemple de 80 nm.

Par ailleurs, les matériaux de la ligne de bit BL et des contacts 6 peuvent être de même nature, de préférence métallique, par exemple du tungstène. Toutefois, il sera possible d'utiliser des matériaux conducteurs ou semiconducteurs, et/ou d'utiliser des matériaux différents.

Dans le cas où les lignes de bit BL et les contacts 6 sont en un même matériau, ils peuvent être formés simultanément, au lieu d'être formés successivement comme cela a été exposé précédemment en relation avec la figure 3C.

Dans les cas où les lignes de bit BL et les contacts 6 sont en des matériaux conducteurs différents, si ces matériaux sont gravables sélectivement l'un par rapport à l'autre, les contacts 6 peuvent être formés, comme cela a été exposé précédemment en relation avec la figure 3C, avant les lignes de bit BL. Toutefois, les contacts 6 peuvent également être réalisés après la formation des lignes de bit BL. Si les matériaux constituant les lignes de bit BL et les contacts 6 sont gravables sélectivement l'un par rapport à l'autre, les contacts 6 peuvent

alors être formés indifféremment avant ou après le dépôt et la gravure de la couche 19.

Si les matériaux constituant les lignes de bit BL et les contacts 6 sont différents et non gravables sélectivement l'un par rapport à l'autre, les contacts 6 peuvent encore être
5 formés avant ou après les lignes de bit BL. Toutefois, s'ils sont formés avant celles-ci, on prévoira le dépôt supplémentaire d'une couche isolante de protection. Cette couche sera alors de préférence de même nature que la couche isolante épaisse 11 sous-
10 jacente. Il s'agira, en considérant l'exemple de réalisation détaillé précédemment, d'une couche d'oxyde de silicium d'une épaisseur comprise entre 10 et 300 nm, par exemple de 80 nm. Par contre, si les contacts 6 sont formés après les lignes de bit BL, on les formera de préférence après le dépôt et la gravure de la
15 couche 19, afin de protéger les lignes de bit BL lors de la gravure du matériau constituant les contacts 6.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, elle s'applique à tout procédé de fabrica-
20 tion simultanée de transistors MOS et de cellules DRAM incorporant des étapes d'un procédé CMOS standard. Ainsi, la nature et l'épaisseur de chacune des couches peuvent être modifiées en fonction des contraintes liées aux procédés CMOS standards dans lesquels sont incorporées les étapes propres à la formation des
25 cellules mémoire. Ainsi, les isolants utilisés pour constituer les couches 14, 15 et 16 peuvent être choisis parmi les divers matériaux connus ou des combinaisons de ceux-ci, par exemple sous forme de multicouches. On veillera toutefois dans ce dernier cas à respecter les contraintes exposées précédemment de protection
30 des lignes de mot à l'encontre de désalignement lors de l'ouverture de contacts vers des régions semiconductrices sous-jacentes.

De plus, bien que l'utilisation d'une première couche isolante 14 gravable sélectivement par rapport au matériau
35 d'isolement des tranchées 4 et de la couche supérieure 15 soient

préférées, il est possible d'utiliser uniquement la combinaison des couches 15 et 16 pour assurer la protection des lignes de mot vis à vis des lignes de bit. Le rôle de la couche 14 est uniquement d'éviter une surgravure de la tranchée d'isolement 4 lorsque
5 celle-ci est constituée d'un matériau isolant de même nature que la couche isolante supérieure 15.

En outre, le dépôt d'une quelconque couche conductrice métallique peut être précédé du dépôt d'une couche d'adhérence et/ou d'arrêt de gravure.

REVENDICATIONS

1. Procédé de fabrication d'une cellule mémoire DRAM comportant deux lignes de mot actives (WL2, WL3) dont une région de drain/source (9) est commune et dont des régions distinctes de source/drain (10) contactent deux points-mémoire, caractérisé en ce qu'il comporte, après la formation de lignes conductrices isolées (WL1, WL2, WL3, WL4), les étapes consistant à :
 - a) déposer une première couche isolante (15) ;
 - b) déposer une deuxième couche isolante (16) gravable sélectivement par rapport à la première couche isolante ;
 - 10 c) graver la deuxième couche isolante de façon à ne la maintenir qu'au-dessus des lignes conductrices isolées, au moins dans et autour d'une région active (3) ;
 - d) déposer et aplanir une troisième couche isolante épaisse (11) gravable sélectivement par rapport à au moins la

15 deuxième couche isolante ;
 - e) ouvrir les première et troisième couches isolantes de façon à exposer au moins partiellement la région de drain/source commune (9) ainsi qu'une tranchée d'isolement (4) ;
 - f) déposer un matériau conducteur (18) de façon à

20 remplir l'ouverture précédemment formée ;
 - g) effectuer un polissage mécano-chimique de l'ensemble de la structure ; et
 - h) déposer une quatrième couche isolante (19), gravable sélectivement par rapport à la troisième couche isolante.
- 25 2. Procédé selon la revendication 1, caractérisé en ce que l'étape e) consistant à ouvrir les première (15) et troisième (11) couches isolantes de façon à exposer au moins partiellement la région de drain/source commune (9) ainsi qu'une tranchée d'isolement (4) est mise en oeuvre de façon à ouvrir lesdites

30 première et troisième couches isolantes de façon à exposer au moins partiellement également des régions de source/drain (10) et en ce que le matériau conducteur (18) déposé à l'étape f) est déposé de façon à remplir toutes les ouvertures ainsi formées.

3. Procédé selon la revendication 1, caractérisé en ce que l'étape e) consistant à ouvrir les première (15) et troisième (11) couches isolantes de façon à exposer au moins partiellement la région de drain/source commune (9) ainsi qu'une tranchée d'isolement (4) est précédée des étapes suivantes :

- i) ouvrir lesdites première et troisième couches isolantes de façon à exposer au moins partiellement les régions de source/drain (10) ;
- j) déposer un matériau conducteur dans les ouvertures ainsi formées ; et
- k) effectuer un polissage mécano-chimique de l'ensemble de la structure, d'où il résulte la formation de contacts (6) avec lesdites régions de source/drain (10).

4. Procédé selon la revendication 3, caractérisé en ce que l'étape k) de polissage mécano-chimique est suivie du dépôt d'une couche isolante superposée à l'ensemble de la structure, l'étape e) consistant alors à ouvrir successivement ladite couche isolante superposée et les première (15) et troisième (11) couches isolantes de façon à exposer au moins partiellement la région de drain/source commune (9) ainsi qu'une tranchée d'isolement (4).

5. Procédé selon la revendication 1, caractérisé en ce que l'étape g) de polissage mécano-chimique de l'ensemble de la structure, ou l'étape h) de dépôt de la quatrième couche isolante (19), gravable sélectivement par rapport à la troisième couche isolante (11) est suivie des étapes suivantes :

- l) ouvrir lesdites première (15) et troisième couches isolantes de façon à exposer au moins partiellement les régions de source/drain (10) ;
- m) déposer un matériau conducteur dans les ouvertures ainsi formées ; et
- n) effectuer un polissage mécano-chimique de l'ensemble de la structure, d'où il résulte la formation de contacts (6) avec lesdites régions de source/drain (10).

6. Procédé selon l'une quelconque des revendications 1 à 5, caractérisé en ce que, l'étape a) de dépôt de la première couche isolante (15) est précédée du dépôt d'une couche isolante supplémentaire (14) gravable sélectivement par rapport au matériau de remplissage de tranchées d'isolement (4) sous-jacentes et par rapport à ladite première couche isolante.

7. Procédé selon la revendication 6, caractérisé en ce que les première (15) et troisième (11) couches isolantes sont en oxyde de silicium (SiO_2) et en ce que les deuxième (16) et quatrième (19) couches isolantes ainsi que la couche isolante supplémentaire (14) sont en nitrure de silicium (Si_3N_4).

8. Procédé selon l'une quelconque des revendications 1 à 7, caractérisé en ce que la cellule mémoire (1) est formée dans un même substrat (2) que des circuits logiques.

9. Structure de cellule mémoire DRAM comportant deux lignes de mot inactives (WL1 , WL4) formées sur des tranchées d'isolement (4), de part et d'autre d'une région active (3) d'un substrat (2), et deux lignes de mot actives (WL2 , WL3) dont une région de drain/source (9) est commune et dont des régions distinctes de source/drain (10) contactent deux points-mémoire, caractérisé en ce que les quatre lignes de mot, les tranchées d'isolement et le substrat sont recouverts au moins partiellement d'un empilement d'au moins trois couches isolantes, constitué de première (15) et troisième couches (11) déposées sur toute la structure, et d'une deuxième couche (16) éliminée de la région active, sauf à l'aplomb des lignes de mot, et étant en un matériau gravable sélectivement par rapport aux première et troisième couches, et en ce qu'une ligne de bit (BL) de la cellule repose directement sur au moins une partie de sa région de drain/source (9) ainsi que sur une tranchée d'isolement voisine (4), la ligne de bit et la troisième couche isolante étant recouvertes d'une quatrième couche isolante (19) gravable sélectivement par rapport à la troisième couche.

10. Structure selon la revendication 9, caractérisée en ce que l'empilement repose sur une couche isolante supplémentaire

(14) gravable sélectivement par rapport à la première couche isolante (15) superposée et par rapport au matériau de remplissage des tranchées d'isolement (4) sous-jacentes.

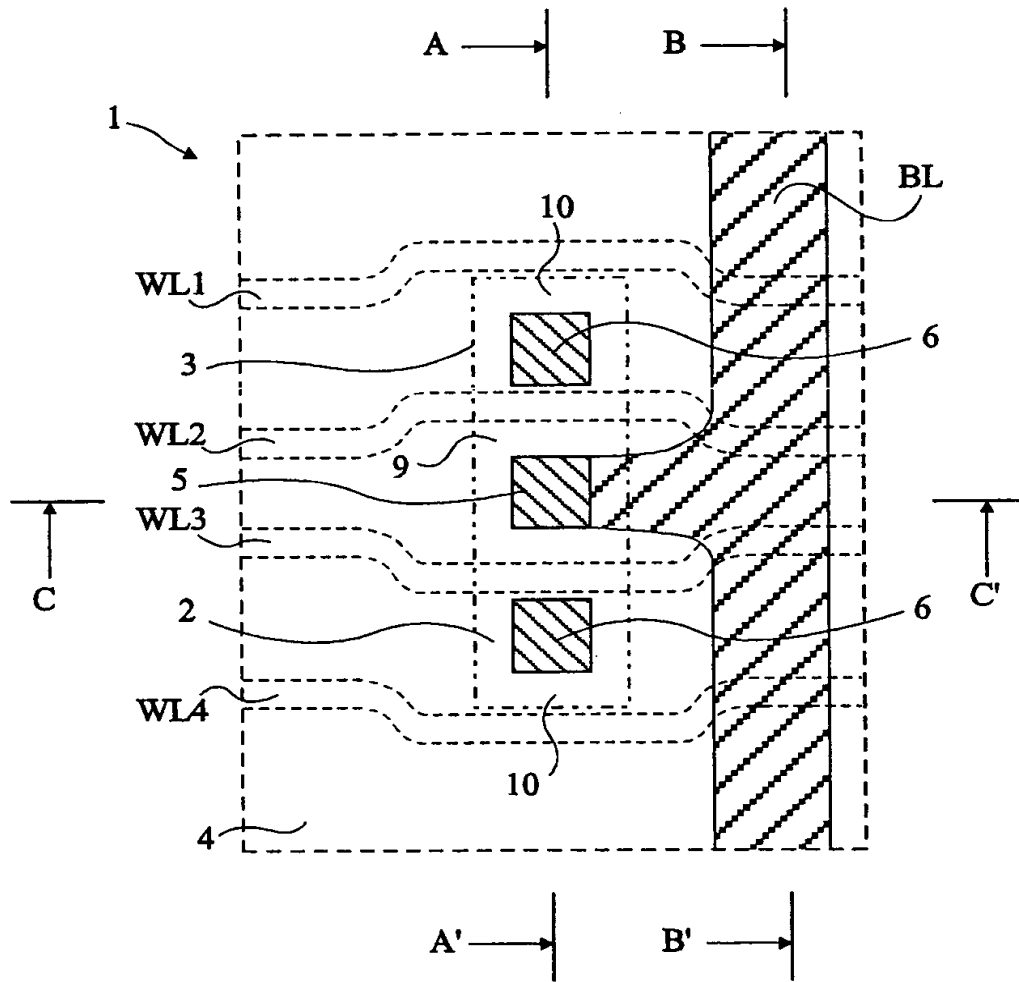


Fig 1

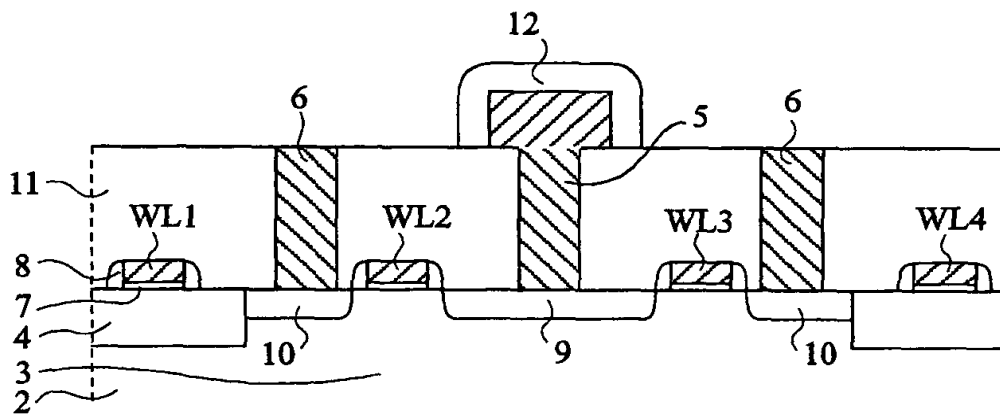


Fig 2A

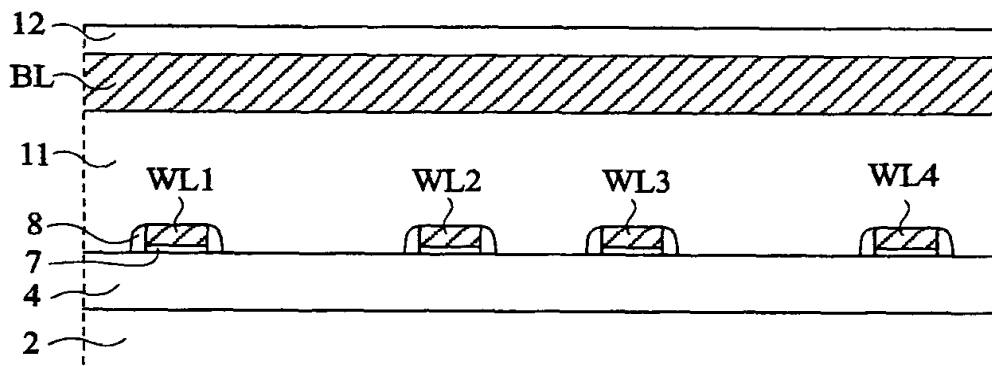


Fig 2B

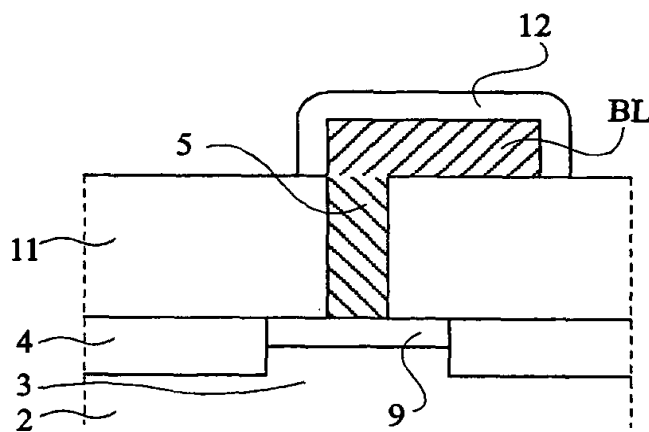


Fig 2C

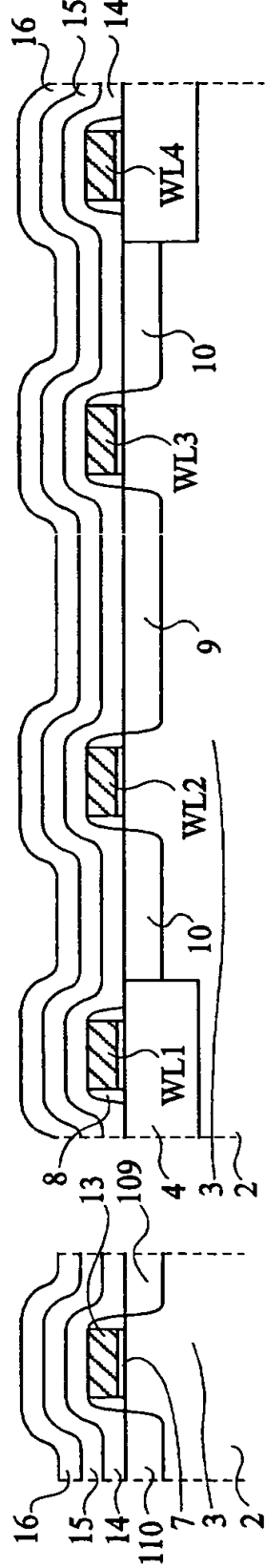


Fig 3A

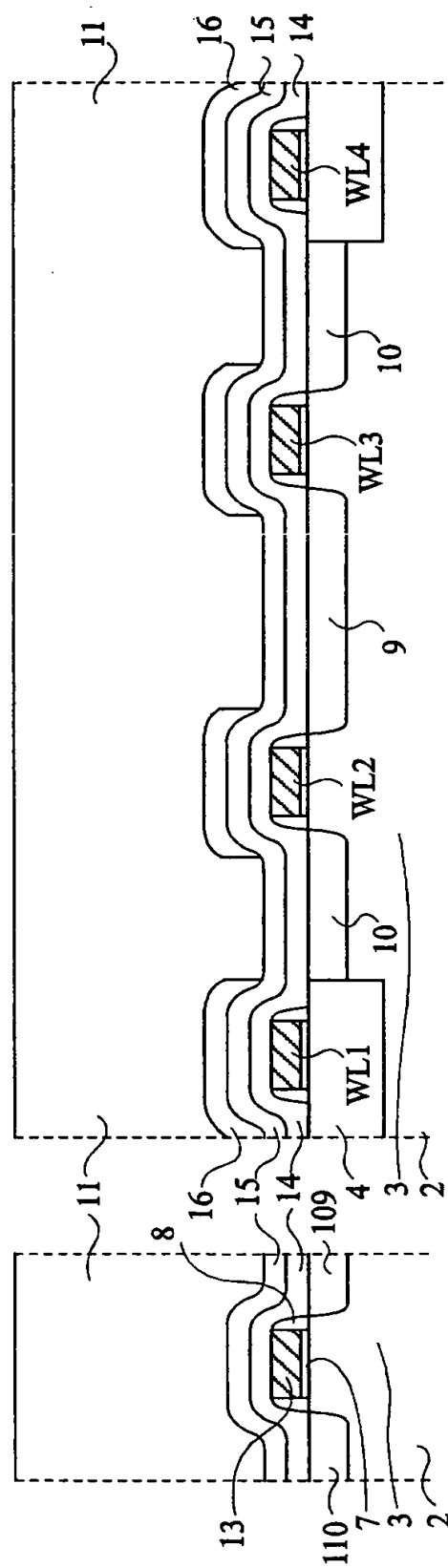


Fig 3B

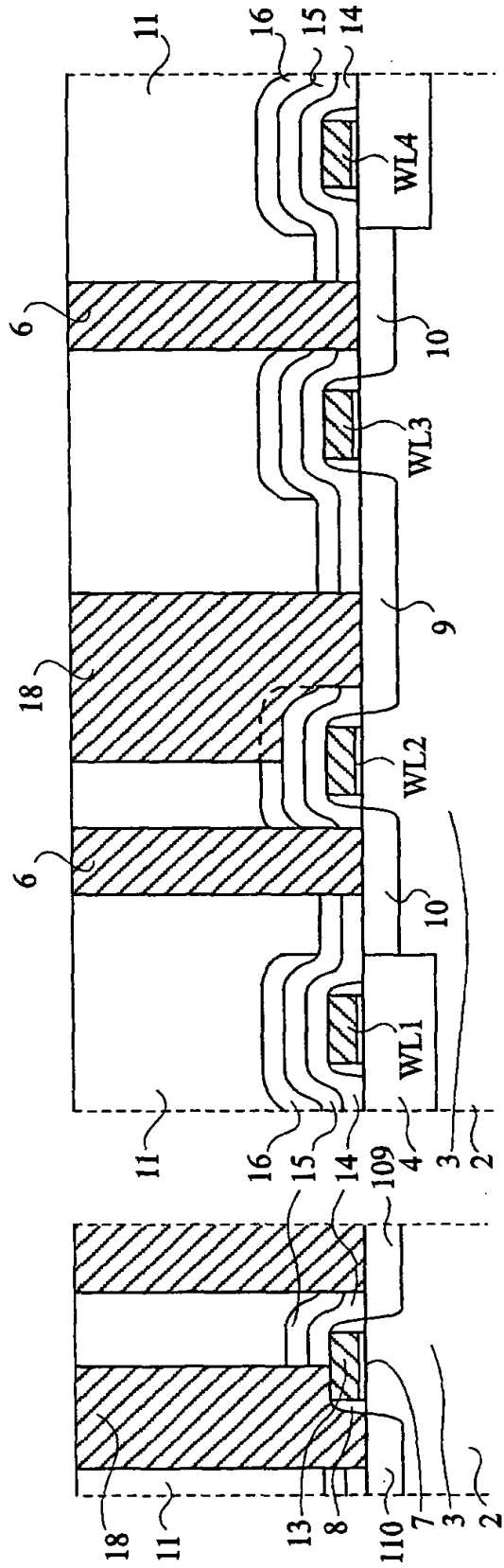


Fig 3C

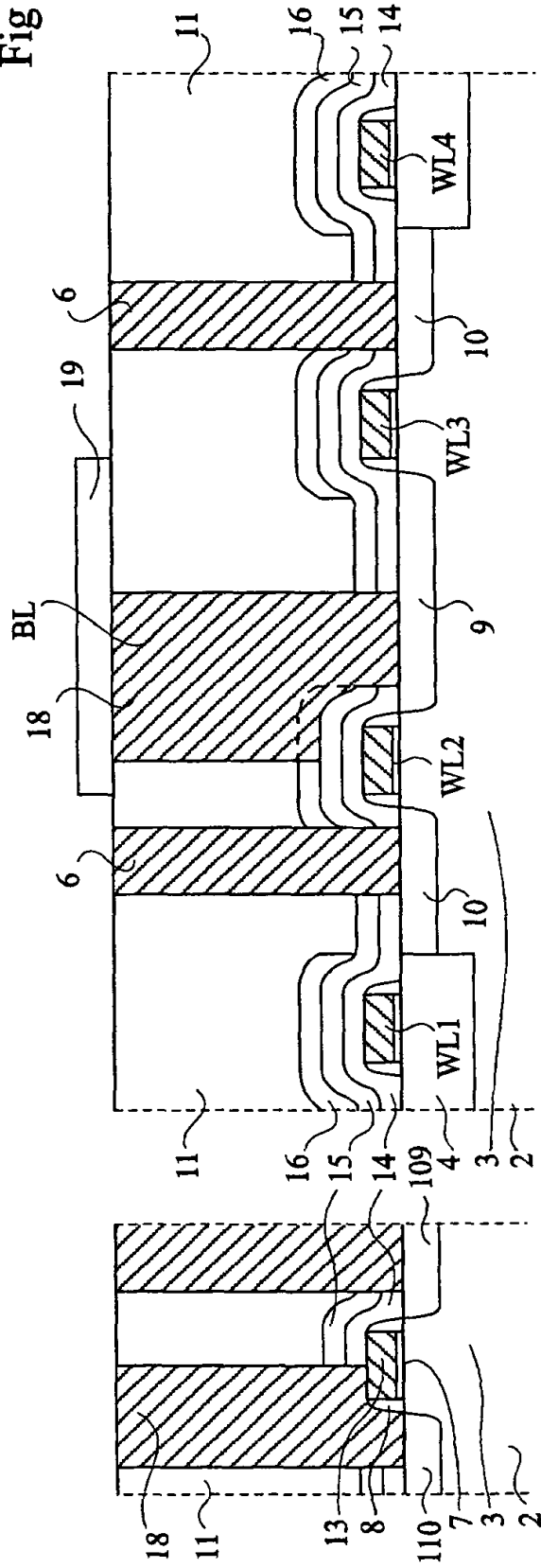


Fig 3D

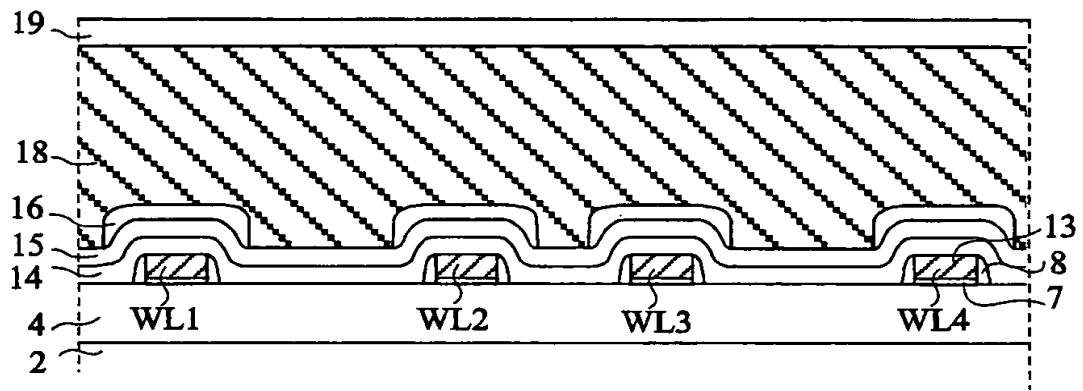


Fig 4

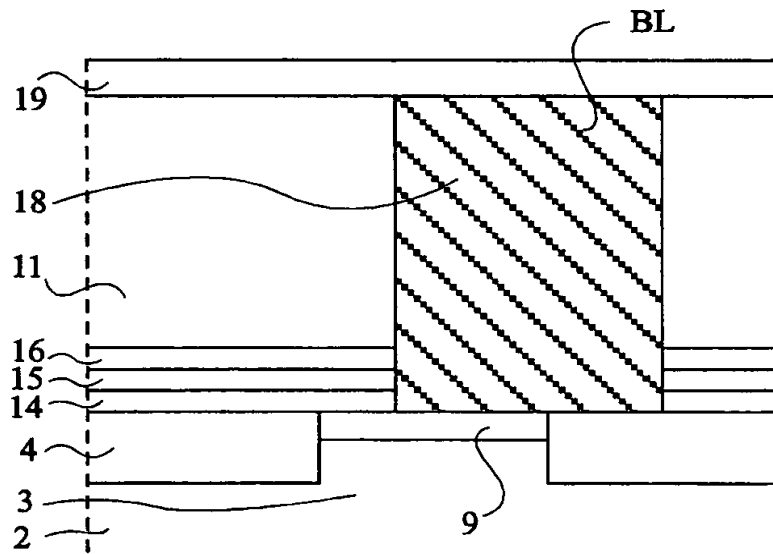


Fig 5

